

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 11121498
PUBLICATION DATE : 30-04-99

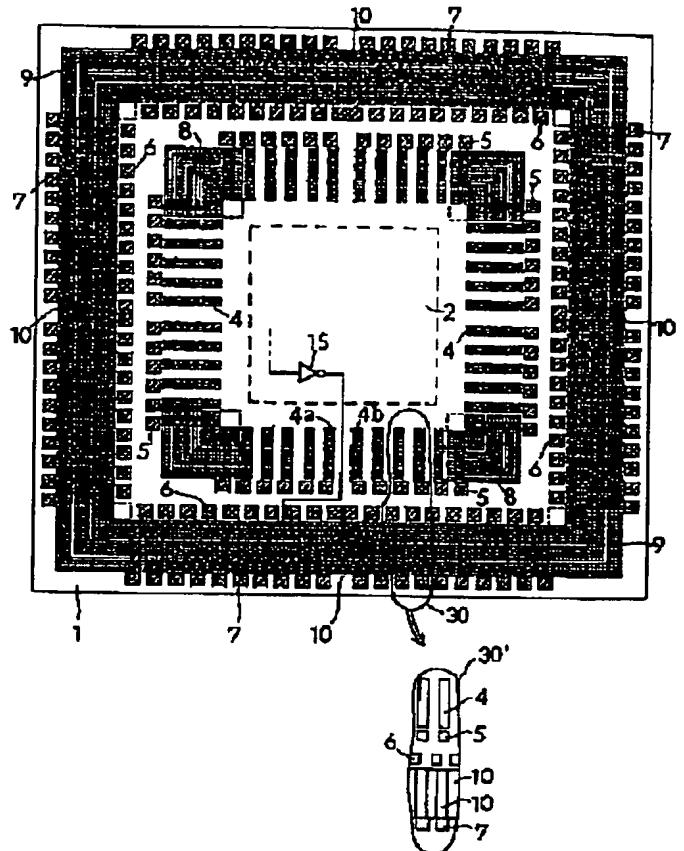
APPLICATION DATE : 20-10-97
APPLICATION NUMBER : 09286404

APPLICANT : ROHM CO LTD;

INVENTOR : HIRAGA NORIAKI;

INT.CL. : H01L 21/60 H01L 23/50

TITLE : SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To increase the number of pads per chip size.

SOLUTION: A device has a plurality of input/output circuits 4, 10 formed in a semiconductor chip 1 and input/output pads 5 to 7 electrically connected to a plurality of input/output circuits 4, 10, respectively. The input/output pads 5 to 7 and a plurality of inner leads arranged in a frame whereon a semiconductor chip 1 is mounted are electrically connected. Furthermore, the input/output circuits 4, 10 are arranged in two lines. The input/output pads 6, 7 connected to the input/output circuit 10 at a circumferential edge side of the semiconductor chip 1 are formed to a staggered structure, and the input/output pad 6 connected to the input/output circuit 4 at a central side of the semiconductor chip 1 is arranged in one or two or more lines.

COPYRIGHT: (C)1999,JPO

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-121498

(43)公開日 平成11年(1999)4月30日

(51)Int.Cl.⁶
H 01 L 21/60
23/50

識別記号
301

F I
H 01 L 21/60
23/50

301 A
X

審査請求 未請求 請求項の数4 OL (全 6 頁)

(21)出願番号 特願平9-286404

(22)出願日 平成9年(1997)10月20日

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72)発明者 平賀 則秋

京都市右京区西院溝崎町21番地 ローム株式会社内

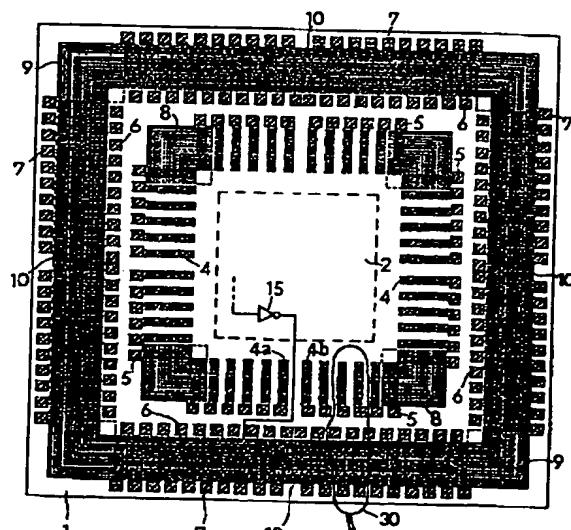
(74)代理人 弁理士 佐野 静夫

(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【課題】 半導体集積回路装置において、チップサイズあたりのパッド数を多くする。

【解決手段】 半導体集積回路装置は、半導体チップ1に形成された複数の入出力回路4、10及び入出力回路4、10にそれぞれ電気的に接続された入出力パッド5～7を備える。入出力パッド5～7と半導体チップ1が搭載されるフレームに配された複数のインナーリードとは電気的に接続されている。さらに、入出力回路4、10は2列に配列される。そして、半導体チップ1の周縁側の入出力回路に10接続された入出力パッド6、7はスタッガード構造とし、半導体チップ1の中央側の入出力回路4に接続された入出力パッド6は1又は2以上の列に配置されている。



【特許請求の範囲】

【請求項1】複数の入出力回路及び前記入出力回路にそれぞれ電気的に接続された入出力パッドを有する半導体チップにおいて、

前記入出力回路は前記半導体チップの辺に沿って2列に配列され、前記半導体チップの周縁側の前記入出力回路に接続される前記入出力パッドはスタッガード構造とし、一方、前記半導体チップの中央側の前記入出力回路に接続される前記入出力パッドは1又は2以上の列に配置されて成る半導体集積回路装置。

【請求項2】前記中央側の入出力回路相互の間及び該中央側の入出力回路に接続された前記入出力パッド相互の間にスペースが設けられ、かつ、前記周縁側の入出力回路に接続された前記入出力パッド相互の間にスペースが設けられており、これらのスペースは前記周縁側の入出力回路と前記半導体チップの中央部に設けられた素子とを接続するチャネルとなっていることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項3】前記半導体チップが搭載されるフレームを備え、前記フレームの複数のインナーリードと前記半導体チップの入出力パッドとを電気的に接続する半導体集積回路装置において、前記入出力パッドと前記インナーリードとはワイヤボンディングにより接続されていることを特徴とする請求項1又は請求項2に記載の半導体集積回路装置。

【請求項4】前記半導体チップはバンプによる接続方法を用いたことを特徴とする請求項1又は請求項2に記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置に関し、特に、半導体チップの入出力パッドと半導体チップを搭載するフレームのインナーリードとをワイヤボンディング等により電気的に接続するものに関する。

【0002】

【従来の技術】通常、半導体チップの周辺部には複数の入出力パッドが形成される。半導体集積回路装置では、これらの入出力パッドと、半導体チップが搭載されるフレームに配されたインナーリードとが、例えば、ワイヤボンディングすることにより電気的に接続され、半導体チップとパッケージ外部との間で電気的なやりとりを行うことができるようになっている。

【0003】そして、半導体チップへの入出力パッドの配置方法については、図5に示すように、半導体チップ1の辺に沿って設けられている入出力回路42に対して該入出力回路42の列を挟むように2列に配し、かつ各列のパッドが等間隔となるように入出力パッド43、44が配置されているものがあった。このようなパッド配置を本明細書において「スタッガード」という。

【0004】ここで、半導体チップ1は、図9に示すよ

うに、フレーム24のステージ21上にダイボンディングされるなどして搭載されている。ステージ21はそのコーナー部分に存在するサポートバー22により保持されたアイランド構造となっている。フレーム24の任意の2つのサポートバー22に挟まれる領域には多数のインナーリード23が放射状に配置されている。

【0005】このように、半導体チップ1の1辺に対して、パッドが配置された領域よりも広い領域にインナーリード23が配置されている。これらのパッドとインナーリード23は、例えばワイヤボンディングによるワイヤ3(一部図示)で接続されている。

【0006】パッドとインナーリード23とはワイヤボンディングによって接続されている場合、図6に示すように、中央側のパッド43からのワイヤ3₁と、周縁側のパッド44からのワイヤ3₂が互いに接触しないように2層構造となっている。そのため、図9に示す平面図においては、中央側パッドからのワイヤと周縁側パッドからのワイヤが、50で示すように、一部で交差するように見ても問題がない。

【0007】また、図7に示すように、半導体チップ1の辺に沿って1列に入出力パッド45が配置されているものがあった。この場合、半導体チップ1上では入出力回路42から扇状に広がる金属配線51によってパッド45に接続がなされている。そして、図8に示すように、パッド45とインナーリード23との配線については、ワイヤ3₃が1層構造となっている。したがって、図9における50に示すワイヤの交差はここでは認められない。尚、図5及び図7において、50は入出力回路42の上に設けられている電源やグランド等の配線層を示している。

【0008】

【発明が解決しようとする課題】前者のスタッガード構造の場合(図5参照)、1列に置かれている入出力回路42の個数でパッド43、44の個数が決まってしまい、1辺に配置できるパッド数に限界があった。すなわち、チップサイズあたりのパッド数の上限は入出力回路数(ドライバ数)によって決定される。このことをドライバリミットという。

【0009】一方、後者のようにパッドを1列に配置した場合(図7参照)、ワイヤボンディング等の技術の関係によって、通常、パッド45の間隔sは入出力回路42の幅tよりも大きくなっている。そのため、パッド45を1列に並べたとき、パッド45の個数と間隔sによって全体のチップサイズが決定されることになる。したがって、チップサイズあたりのパッド数には上限があり、このことをパッドリミットといふ。

【0010】ところで、半導体チップでは集積技術の進歩等により、チップサイズの縮小とパッド数の増大が進んでいる。しかし、従来の半導体集積回路装置では、チップサイズあたりに設けることのできるパッド数が、前

者のスタッガード構造の場合にはドライバリミットによって、一方、後者のパッドを1列に配列した場合にはパッドリミットによって制限されるという問題があった。

【0011】本発明は上述のドライバリミット及びパッドリミットの問題を解決し、チップサイズあたりのパッド数をさらに多く設けた半導体集積回路装置を提供することを目的とする。

【0012】

【課題を解決するための手段】上記目的を達成するために、本発明では、複数の入出力回路及び前記入出力回路にそれぞれ電気的に接続された入出力パッドを有する半導体チップと、前記半導体チップが搭載されるフレームとを備え、前記フレームの複数のインナーリードと前記半導体チップの入出力パッドとを電気的に接続する半導体集積回路装置において、前記入出力回路は前記半導体チップの辺に沿って2列に配列され、前記半導体チップの周縁側の前記入出力回路に接続される前記入出力パッドはスタッガード構造とし、一方、前記半導体チップの中央側の前記入出力回路に接続される前記入出力パッドは1又は2以上の列に配置されるようにしている。

【0013】このような構成では、半導体チップ上に入出力回路を2重に設けてあるのでドライバリミットが回避されている。また、周縁側の入出力回路をスタッガード構造にすることによりパッドリミットが回避されている。したがって、チップサイズあたりのパッド数が増大する。

【0014】また、本発明では上記構成において、前記中央側の入出力回路相互の間及び該中央側の入出力回路に接続された前記入出力パッド相互の間にスペースが設けられ、かつ、前記周縁側の入出力回路に接続された前記入出力パッド相互の間にもスペースが設けられており、これらのスペースは前記周縁側の入出力回路と前記半導体チップの中央部に設けられた素子とを接続するチャネルとなっている。このような構成により、チップ中央部における素子と周縁側の入出力回路とを接続するチャネルが確保されている。

【0015】

【発明の実施の形態】以下、本発明の実施形態について説明する。図1は本発明の一実施形態の半導体集積回路装置に係る半導体チップの入出力回路及び入出力パッドの配置を示した平面図である。この半導体チップ1の中央部にはロジック回路部2が設けられ、入出力回路4、10及び入出力パッド5、6、7を介してデータの入出力を行う。半導体チップ1は、図9に示すように、フレーム24のステージ21上にダイボンディングされるなどして搭載されている点や放射状にインナーリード23が配置されている点等は上記従来の半導体集積回路装置の場合と同様である。

【0016】図1において、半導体チップ1の辺に沿って周縁側に入出力回路10は密に並べられ、入出力回路

10に対してスタッガードにパッド6、7が配置されている。さらに、入出力回路4及びパッド5が入出力回路10よりも中央側に設けられている。入出力回路4及びパッド5同士は互いにある程度のスペースを設けて配置されている。また、入出力回路4に接続されるパッド5は1列に配置されている。図1の構造を分かり易くするために一部分30を抜き出して30'で示す。ただし、30'において配線層は省略している。

【0017】このように、半導体チップ1の辺に沿って入出力回路4、10は2重に配列され、かつ出力パッド5、6、7は3重に配列されている。尚、入出力回路は複数のトランジスタ等から成り、主に信号を出力する際にその信号を安定に保持するための回路等であり、パッドから入力される信号に一定の処理をするための回路の場合もある。

【0018】図2に示すように、これらのパッド5、6、7を放射状に配置されているインナーリード23にワイヤボンディングによって配線する場合、ワイヤ3x、3y、3zは3層となる。したがって、平面図(図9)としては、異なる列のパッドからのワイヤ3x、3y、3zが50に示すように一部交差するように見えてもワイヤ3x、3y、3zは互いに接触せず問題はない。

【0019】ところが、このように3層に配線されている半導体集積回路装置は、パッケージとしては厚みのあるものとなってしまう。その一方で、携帯電話等の小型の機器ではパッケージ厚の薄い半導体集積回路装置が使用されるのが実情であり、これに対応すべく、パッケージ厚の縮小を以下の方針により行う。

【0020】図4に示すように、スタッガードに配置されているパッド6、7については、上述と同じくそれぞれ2重のワイヤ3y、3zで配線を行う。そして、最も中央側に位置するパッド5については、例えば後述する図3のような方法でワイヤ3xが3yの間を抜くように適当な位置にパッド5及び6を配置することにより、ワイヤ3x、3yを1層で配線することができる。

【0021】図3は図1における半導体チップ1の1辺を拡大した図であり、同図を用いて、入出力パッド5、6の配置位置をどのようにして決定しているかについて説明する。尚、図3においてここで説明に関係のないパッド7や入出力回路4、11等(図1参照)は省略されている。

【0022】まず、2つのサポートバーで挟まれた複数のインナーリード23のうち辺のほぼ中心軸に配置されたインナーリード23aと接続する入出力パッド6aについては、ワイヤ角がほぼ90°となる、外側の列X1上の点Aにパッド6aの中央が位置するようにパッド6aの配置位置を決定する。

【0023】次に、インナーリード23aのコーナー側に隣接するインナーリード23bと接続されるパッド5

aについては、パッド6aとインナーリード23aとを接続するワイヤ3aへの垂線h1の長さが所定の値となる、内側の列N2上の点Bに、パッド5aの中央が位置するようにパッド5aの配置位置を決定する。

【0024】次に、インナーリード23bにコーナー側で隣接するインナーリード23cと接続されるパッド6bについては、パッド5aとインナーリード23bとを接続するワイヤ3bへの垂線h2の長さが所定の値となる、外側の列N1上の点Cに、パッド6bの中央が位置するようにパッド6bの配置位置を決定する。

【0025】このようにして、あるインナーリードに接続される入出力パッドの配置位置が決まると、そのインナーリードのコーナー側に隣接するインナーリードに接続される入出力パッドの配置位置が決まり、サポートバー22(図9参照)に最も近いインナーリードに接続される入出力パッドの配置位置が最後に決定する。同様にして、同辺の残りの部分及び他の辺についてもパッドの配置位置が決定される。

【0026】このようにすることによって、ワイヤボンディング作業に支障を来さない程度に密接にパッドを配置することができ、しかも、インナーリードが放射状に配置された一般的なフレームを用いる場合であっても、図4に示すようにパッド6、7からのワイヤ3x、3yが同一層において交差することはない。したがって、ワイヤ3x、3y、3zについては2層での配線ができ、パッケージ厚を小さくすることが可能となる。

【0027】図1において、中央側の入出力回路4及び入出力パッド5は、相互にある程度離れた位置に配列され、その間にスペースが設けられているが、これは次の理由による。分かり易さのため、例をあげて説明すると、半導体チップ1の中央にあるロジック回路部2のノットゲート15からある周縁側の入出力回路への接続は、図示するように入出力回路4aと4bの間を通り、さらにパッド5と6の間を通ってその入出力回路10に到達するようになされている。

【0028】つまり、入出力回路4とパッド5の相互の間に設けられているスペースと、入出力パッド5と6の間に設けられているスペースは、ノットゲート15等の素子と周縁側のトランジスタ10とを接続するために設けられたチャネルといえる。尚、図1では電源やグランド等の配線層8が中央側の入出力回路4の上で一部省略されているが、実際には周縁側の入出力回路10の上の配線層9と同じく、配線層8は入出力回路4の上に全体的に張られている。

【0029】以上説明したように、本実施形態では、周縁側の入出力回路10ではパッド6、7がスタッガードに配置されているので上述のパッドリミットの問題が回避されている。また、入出力回路4、10が2重に配列されているので上述のドライバリミットの問題も同時に回避されている。

【0030】したがって、チップサイズをパッド数で割った値としてのパッドピッチについて上記従来の1列にパッドを配置した半導体チップ(図7)と比較すると、本実施形態のパッドピッチは上記従来の半導体チップ(図7)のパッドピッチのおよそ70%となる。つまり、ある特定のチップサイズに対しても本実施形態の方がパッド数が多いということである。

【0031】一方で、本実施形態では、2重に入出力回路4、10を設けているのでロジック回路部2の面積が小さくなる。そのため、本実施形態ではゲート数の多い大規模回路には向き性があるが、中規模以下の回路では必要なパッド数が多くもチップサイズを小さくしたまで構成できる。これにより、半導体集積回路装置は低コストになるなどのきわめてすぐれた効果がある。

【0032】ところで、図2又は図4に示すように、ワイヤ3x、3y、3zが3層又は2層に張られているため、あるワイヤが他のワイヤと接触してしまう危険性がある。そこで、被覆ワイヤを用いてワイヤボンディングを行うと、多少ワイヤ同士が接触しても電気的な絶縁が確保されるので、さらに信頼性の高い半導体集積回路装置が得られる。

【0033】尚、中央側の入出力回路4(図1参照)について入出力パッド5をスタッガード構造として、4列のパッド配置としてもよいし、又はそれ以上の列を設けた配置としてもよい。インナーリードについても放射状に限らず、ワイヤ角がどれもほぼ90°となるようにチップの辺に対して直角となる向きにインナーリードを平行に並べてもよい。ただし、この場合では、ワイヤ間の間隔が全体的に狭くなりワイヤボンディングでは配線が困難となるだろう。

【0034】本実施形態では、パッドとインナーリードとの接続はワイヤボンディングを例にとって説明したが、本発明はこれに限るものではなく、バンプによる接続方法を用いたTAB(Tape Automated Bonding)、BGA(Ball Grid Array)やCSP(Chip Size Package)又はフリップチップ実装のプリント基板でも有効である。

【0035】

【発明の効果】以上説明したように本発明によれば、半導体チップの辺に入出力回路が2重に配列され、チップ周縁側の入出力回路についてはスタッガードに入出力パッドが設けられているので、チップサイズの拡大をともなうことなく多数のパッドを設けることができる。

【0036】また、本発明では、中央側のトランジスタやパッド等の間にスペースを設けるように中央側の出力トランジスタ及び入出力パッドを配置しているので、チップ中央側の素子と周縁側の入出力回路とを接続するためのチャネルが確保されている。

【0037】また、ワイヤボンディングでパッドとインナーリードを接続することができ、パッド位置の決め方

によってはワイヤを3層にして配線を行うことも可能である。これにより、半導体集積回路装置のパッケージ厚を小さくすることができる。

【図面の簡単な説明】

【図1】 本発明の一実施形態の半導体集積回路装置に係る半導体チップの要部平面図。

【図2】 その半導体集積回路装置のワイヤボンディングの一例を示す要部側面図。

【図3】 その半導体集積回路装置のワイヤボンディングの別例を示す部分拡大図。

【図4】 図3に示す半導体集積回路装置の要部側面図。

【図5】 従来のスタッガード構造を有する半導体集積回路装置の一部平面図。

【図6】 その半導体集積回路装置の要部側面図。

【図7】 従来の1列にパッド配した半導体集積回路装

置の一部平面図。

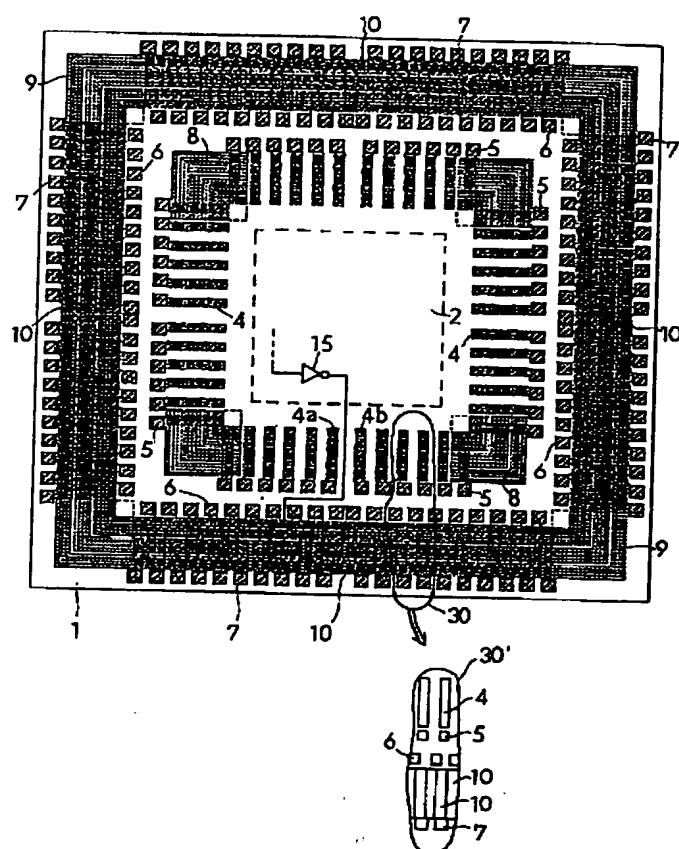
【図8】 その半導体集積回路装置の要部側面図。

【図9】 フレームにインナーリードが放射状に配置されていることを示す図。

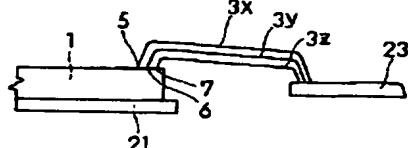
【符号の説明】

1	半導体チップ
2	ロジック回路部
3	ワイヤ
4	入出力回路
5～7	入出力パッド
10	入出力回路
21	ステージ
22	サポートバー
23	インナーリード
24	フレーム

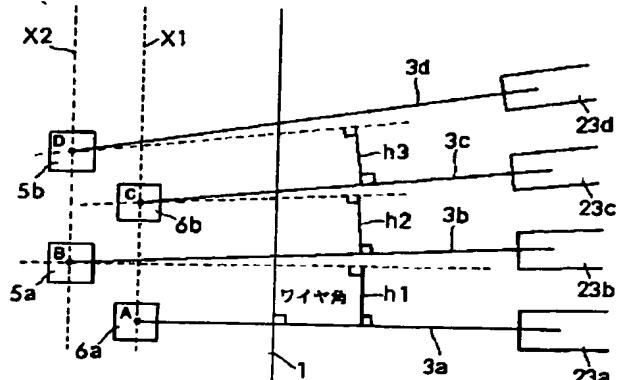
【図1】



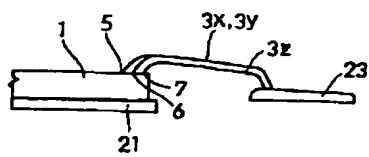
【図2】



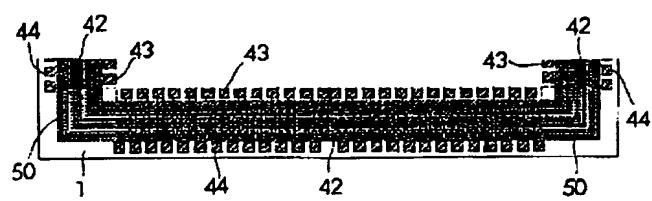
【図3】



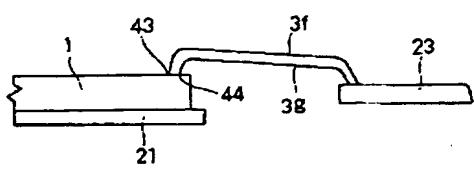
【図4】



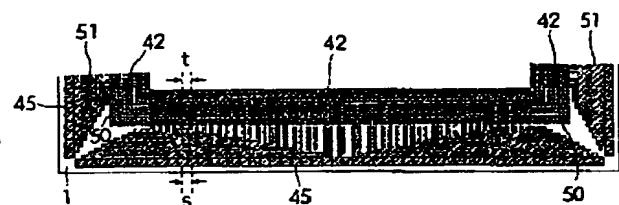
【図5】



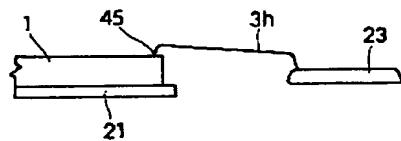
【図6】



【図7】



【図8】



【図9】

